



(12) 发明专利

(10) 授权公告号 CN 110277421 B

(45) 授权公告日 2021. 10. 29

(21) 申请号 201810220601.1

(22) 申请日 2018.03.16

(65) 同一申请的已公布的文献号  
申请公布号 CN 110277421 A

(43) 申请公布日 2019.09.24

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72) 发明人 龙春平

(74) 专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138  
代理人 杨广宇

(51) Int. Cl.  
H01L 27/15 (2006.01)  
H01L 33/12 (2010.01)  
H01L 33/00 (2010.01)

(56) 对比文件

US 2017179192 A1, 2017.06.22  
CN 106816545 A, 2017.06.09  
CN 107393940 A, 2017.11.24  
US 2016020248 A1, 2016.01.21

审查员 苍凯

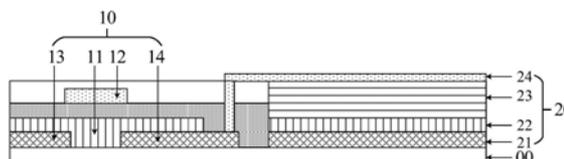
权利要求书3页 说明书12页 附图7页

(54) 发明名称

阵列基板及其制造方法、显示装置

(57) 摘要

本申请公开了一种阵列基板及其制造方法、显示装置,属于显示技术领域。所述阵列基板包括:设置在衬底基板上的薄膜晶体管和微型发光二极管LED;所述微型LED包括层叠设置的第一电极、第一缓冲层、发光层和第二电极,所述第一缓冲层与所述薄膜晶体管的有源层同层设置;所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体的第二极与所述第一电极或所述第二电极连接。本申请提供的阵列基板的制造成本较低,且稳定性和发光效率较高。



1. 一种阵列基板,其特征在于,所述阵列基板包括:

设置在衬底基板上的薄膜晶体管 and 微型发光二极管LED;

微型LED包括层叠设置的第一电极、第一缓冲层、发光层、第二电极和第二缓冲层,所述第一缓冲层与所述薄膜晶体管的有源层同层设置,所述第一缓冲层和所述第二缓冲层沿所述微型LED的层叠方向相邻设置,所述第二缓冲层与所述第一缓冲层由不同材料制成,且所述第二缓冲层的材料与所述第一缓冲层的材料的晶体结构相同;

所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极或所述第二电极连接。

2. 根据权利要求1所述的阵列基板,其特征在于,所述微型LED还包括:设置在所述发光层与所述第一缓冲层之间的第一半导体层,以及设置在所述发光层和所述第二电极之间的第二半导体层。

3. 根据权利要求2所述的阵列基板,其特征在于,所述第二缓冲层设置在所述第一半导体层和所述第一缓冲层之间;

所述第一缓冲层和所述有源层由同种材料制成。

4. 根据权利要求3所述的阵列基板,其特征在于,

所述第一缓冲层由石墨烯、氧化锌、硫化锌、碳化硅或氮化铝材料制成;

所述第二缓冲层由氮化镓、砷化镓、铝砷化镓、铝镓氮或磷化铟材料制成。

5. 根据权利要求1至4任一所述的阵列基板,其特征在于,

所述薄膜晶体管为顶栅结构,所述第一电极、所述第一极和所述第二极同层设置;

或者,所述薄膜晶体管为底栅结构,所述第一电极与所述栅极同层且间隔设置。

6. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为顶栅结构,所述第二极通过设置在栅绝缘层中的第一接触过孔与所述第二电极连接,所述第一电极与公共电极线连接;

或者,所述第二极与所述第一电极为一体结构,所述第二电极与所述公共电极线连接。

7. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为底栅结构;

所述第一极和所述第二极远离所述衬底基板的一侧设置有钝化层,所述第二极通过设置在所述钝化层中的第二接触过孔与所述第二电极连接,所述第一电极与公共电极线连接。

8. 根据权利要求5所述的阵列基板,其特征在于,所述薄膜晶体管为底栅结构;所述薄膜晶体管还包括:

设置在所述有源层远离所述衬底基板的一侧的保护层,所述第一极和所述第二极设置在所述保护层远离所述衬底基板的一侧;

所述第一极通过第一过孔与所述有源层连接,所述第二极通过第二过孔与所述有源层连接,且所述第二极还通过第三接触过孔与所述第一电极连接,所述第二电极与公共电极线连接。

9. 一种阵列基板的制造方法,其特征在于,所述方法包括:

在衬底基板上形成薄膜晶体管和微型发光二极管LED,微型LED包括层叠设置的第一电极、第一电极、第一缓冲层、发光层、第二电极和第二缓冲层,所述第一缓冲层与所述薄膜晶体管的有源层同层形成;

其中,所述第一缓冲层和所述第二缓冲层沿所述微型LED的层叠方向相邻设置,所述第二缓冲层与所述第一缓冲层由不同材料制成,且所述第二缓冲层的材料与所述第一缓冲层的材料的晶体结构相同;所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极或所述第二电极连接。

10. 根据权利要求9所述的方法,其特征在于,在所述衬底基板上形成微型LED,包括:

在所述衬底基板上依次形成所述第一电极、所述第一缓冲层、第一半导体层、所述发光层、第二半导体层以及所述第二电极。

11. 根据权利要求10所述的方法,其特征在于,在形成所述第一半导体层之前,所述方法还包括:

在所述第一缓冲层远离所述衬底基板的一侧形成所述第二缓冲层,所述第一半导体层形成在所述第二缓冲层远离所述衬底基板的一侧;

其中,所述第一缓冲层和所述有源层由同种材料形成。

12. 根据权利要求11所述的方法,其特征在于,

所述第一缓冲层由石墨烯、氧化锌、硫化锌、碳化硅或氮化铝材料制成;

所述第二缓冲层由氮化镓、砷化镓、铝砷化镓、铝镓氮或磷化铟材料制成。

13. 根据权利要求9至12任一所述的方法,其特征在于,

所述薄膜晶体管为顶栅结构,所述第一电极、所述第一极和所述第二极通过一次构图工艺同层形成;

或者,所述薄膜晶体管为底栅结构,所述第一电极与所述栅极通过一次构图工艺同层且间隔形成。

14. 根据权利要求13所述的方法,其特征在于,所述薄膜晶体管为顶栅结构,所述第二极与所述第一电极为通过一次构图工艺形成的一体结构,所述第二电极与公共电极线连接;

或者,在所述衬底基板上形成所述薄膜晶体管之后,所述方法还包括:

在所述衬底基板上形成贯穿所述薄膜晶体管的栅绝缘层的第一接触过孔,以将所述薄膜晶体管的第二极露出;

所述第二电极在所述第一接触过孔形成之后形成,且所述第二电极通过所述第一接触过孔与所述第二极连接,所述第一电极与所述公共电极线连接。

15. 根据权利要求13所述的方法,其特征在于,所述薄膜晶体管为底栅结构,在所述衬底基板上形成薄膜晶体管之后,所述方法还包括:

在所述第一极和所述第二极远离所述衬底基板的一侧形成钝化层;

在所述衬底基板上形成贯穿所述钝化层的第二接触过孔,以将所述第二极露出;

所述第二电极在所述接触过孔形成之后形成,且所述第二电极通过所述第二接触过孔与所述第二极连接,所述第一电极与公共电极线连接。

16. 根据权利要求13所述的方法,其特征在于,所述薄膜晶体管为底栅结构,在形成所述有源层之后,所述方法还包括:

在所述有源层远离所述衬底基板的一侧形成保护层;

在所述保护层中形成用于露出所述有源层的第一过孔和第二过孔,以及用于露出所述第一电极的第三接触过孔;

在所述保护层远离所述衬底基板的一侧形成所述第一极和所述第二极,所述第一极通过所述第一过孔与所述有源层连接,所述第二极通过所述第二过孔与所述有源层连接,且所述第二极还通过所述第三接触过孔与所述第一电极连接,所述第二电极与公共电极线连接。

17. 一种显示装置,其特征在于,所述显示装置包括:  
如权利要求1至8任一所述的阵列基板。

## 阵列基板及其制造方法、显示装置

### 技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种阵列基板及其制造方法、显示装置。

### 背景技术

[0002] 微型发光二极管(Micro Light-Emitting Diode, Micro LED)是一种采用无机材料(例如氮化镓)作为发光材料的发光器件。采用Micro LED作为发光器件的显示装置的具有亮度高、响应速度快以及稳定性高等优点。

[0003] 相关技术中, Micro LED显示装置在制造时,一般会先在玻璃基板上形成阵列排布的薄膜晶体管,并在单晶硅基板上形成多个Micro LED;之后需要对该单晶硅基板上的多个Micro LED进行切割,得到独立的多个Micro LED;最后可以通过焊接的方式将每个Micro LED转印至阵列基板上的对应区域。

[0004] 但是,相关技术中的Micro LED显示装置的制造工艺较为复杂,制造成本较高。

### 发明内容

[0005] 本申请提供了一种阵列基板及其制造方法、显示装置,可以解决相关技术中的显示装置的制造工艺较为复杂,制造成本较高的问题,所述技术方案如下:

[0006] 一方面,提供了一种阵列基板,所述阵列基板包括:

[0007] 设置在衬底基板上的薄膜晶体管和微型发光二极管LED;

[0008] 所述微型LED包括层叠设置的第一电极、第一缓冲层、发光层和第二电极,所述第一缓冲层与所述薄膜晶体管的有源层同层设置;

[0009] 所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极或所述第二电极连接。

[0010] 可选的,所述微型LED还包括:设置在所述发光层与所述第一缓冲层之间的第一半导体层,以及设置在所述发光层和所述第二电极之间的第二半导体层。

[0011] 可选的,所述微型LED还包括:设置在所述第一半导体层和所述第一缓冲层之间的第二缓冲层;

[0012] 所述第一缓冲层和所述有源层由同种材料制成;

[0013] 所述第二缓冲层与所述第一缓冲层由不同材料制成,且所述第二缓冲层的材料与所述第一缓冲层的材料的晶格常数的差值小于预设阈值。

[0014] 可选的,所述第一缓冲层由石墨烯、氧化锌、硫化锌、碳化硅或氮化铝材料制成;

[0015] 所述第二缓冲层由氮化镓、砷化镓、铝砷化镓、铝镓氮或磷化铟材料制成。

[0016] 可选的,所述薄膜晶体管为顶栅结构,所述第一电极、所述第一极和所述第二极同层设置;

[0017] 或者,所述薄膜晶体管为底栅结构,所述第一电极与所述栅极同层且间隔设置。

[0018] 可选的,所述薄膜晶体管为顶栅结构,所述第二极通过设置在栅绝缘层中的第一接触过孔与所述第二电极连接,所述第一电极与公共电极线连接;

[0019] 或者,所述第二极与所述第一电极为一体结构,所述第二电极与所述公共电极线连接。

[0020] 可选的,所述薄膜晶体管为底栅结构;

[0021] 所述第一极和所述第二极远离所述衬底基板的一侧设置有钝化层,所述第二极通过设置在所述钝化层中的第二接触过孔与所述第二电极连接,所述第一电极与公共电极线连接。

[0022] 可选的,所述薄膜晶体管为底栅结构;所述薄膜晶体管还包括:

[0023] 设置在所述有源层远离所述衬底基板的一侧的保护层,所述第一极和所述第二极设置在所述保护层远离所述衬底基板的一侧;

[0024] 所述第一极通过第一过孔与所述有源层连接,所述第二极通过第二过孔与所述有源层连接,且所述第二极还通过第三接触过孔与所述第一电极连接,所述第二电极与所述公共电极线连接。

[0025] 另一方面,提供了一种阵列基板的制造方法,所述方法包括:

[0026] 在衬底基板上形成薄膜晶体管和微型发光二极管LED,所述微型LED包括层叠设置的第一电极、第一电极、第一缓冲层、发光层和第二电极,所述第一缓冲层与所述薄膜晶体管的有源层同层形成;

[0027] 其中,所述薄膜晶体管的栅极与栅线连接,所述薄膜晶体管的第一极与数据线连接,所述薄膜晶体管的第二极与所述第一电极或所述第二电极连接。

[0028] 可选的,在所述衬底基板上形成微型LED,包括:

[0029] 在所述衬底基板上依次形成所述第一电极、所述第一缓冲层、第一半导体层、所述发光层、第二半导体层以及所述第二电极。

[0030] 可选的,在形成所述第一半导体层之前,所述方法还包括:

[0031] 在所述第一缓冲层远离所述衬底基板的一侧形成第二缓冲层,所述第一半导体层形成在所述第二缓冲层远离所述衬底基板的一侧;

[0032] 其中,所述第一缓冲层和所述有源层由同种材料形成;所述第二缓冲层与所述第一缓冲层由不同材料形成,且形成所述第二缓冲层的材料与形成所述第一缓冲层的材料的晶格常数的差值小于预设阈值。

[0033] 可选的,所述第一缓冲层由石墨烯、氧化锌、硫化锌、碳化硅或氮化铝材料制成;

[0034] 所述第二缓冲层由氮化镓、砷化镓、铝砷化镓、铝镓氮或磷化铟材料制成。

[0035] 可选的,所述薄膜晶体管为顶栅结构,所述第一电极、所述第一极和所述第二极通过一次构图工艺同层形成;

[0036] 或者,所述薄膜晶体管为底栅结构,所述第一电极与所述栅极通过一次构图工艺同层且间隔形成。

[0037] 可选的,所述薄膜晶体管为顶栅结构,所述第二极与所述第一电极为通过一次构图工艺形成的一体结构,所述第二电极与公共电极线连接;

[0038] 或者,在所述衬底基板上形成所述薄膜晶体管之后,所述方法还包括:

[0039] 在所述衬底基板上形成贯穿所述薄膜晶体管的栅绝缘层的第一接触过孔,以将所述薄膜晶体管的第二极露出;

[0040] 所述第二电极在所述第一接触过孔形成之后形成,且所述第二电极通过所述第一

接触过孔与所述第二极连接,所述第一电极与所述公共电极线连接。

[0041] 可选的,所述薄膜晶体管为底栅结构,在所述衬底基板上形成薄膜晶体管之后,所述方法还包括:

[0042] 在所述第一极和所述第二极远离所述衬底基板的一侧形成钝化层;

[0043] 在所述衬底基板上形成贯穿所述钝化层的第二接触过孔,以将所述第二极露出;

[0044] 所述第二电极在所述接触过孔形成之后形成,且所述第二电极通过所述第二接触过孔与所述第二极连接,所述第一电极与所述公共电极线连接。

[0045] 可选的,所述薄膜晶体管为底栅结构,在形成所述有源层之后,所述方法还包括:

[0046] 在所述有源层远离所述衬底基板的一侧形成保护层;

[0047] 在所述保护层中形成用于露出所述有源层的第一过孔和第二过孔,以及用于露出所述第一电极的第三接触过孔;

[0048] 在所述保护层远离所述衬底基板的一侧形成所述第一极和所述第二极,所述第一极通过所述第一过孔与所述有源层连接,所述第二极通过所述第二过孔与所述有源层连接,且所述第二极还通过所述第三接触过孔与所述第一电极连接,所述第二电极与所述公共电极线连接。

[0049] 又一方面,提供了一种显示装置,所述显示装置包括:如上述方面所提供的阵列基板。

[0050] 本发明提供的技术方案带来的有益效果是:

[0051] 本申请提供了一种阵列基板及其制造方法、显示装置,在该阵列基板中,衬底基板上设置有薄膜晶体管和微型LED,且该微型LED的第一缓冲层可以与薄膜晶体管的有源层同层设置,即该微型LED可以在形成薄膜晶体管的过程中同步形成,有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。

## 附图说明

[0052] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0053] 图1是本发明实施例提供的一种阵列基板的结构示意图;

[0054] 图2A是本发明实施例提供的另一种阵列基板的结构示意图;

[0055] 图2B是本发明实施例提供的又一种阵列基板的结构示意图;

[0056] 图3A是本发明实施例提供的再一种阵列基板的结构示意图;

[0057] 图3B是本发明实施例提供的再一种阵列基板的结构示意图;

[0058] 图4是本发明实施例提供的一种阵列基板的制造方法的流程图;

[0059] 图5A是本发明实施例提供的另一种阵列基板的制造方法的流程图;

[0060] 图5B是本发明实施例提供的一种在衬底基板上形成金属薄膜的结构示意图;

[0061] 图5C是本发明实施例提供的一种在衬底基板上形成第一极、第二极和第一电极的结构示意图;

[0062] 图5D是本发明实施例提供的一种在衬底基板上形成石墨烯的结构示意图;

[0063] 图5E是本发明实施例提供的一种在衬底基板上形成有源层和第一缓冲层的结构示意图；

[0064] 图5F是本发明实施例提供的一种在衬底基板上形成栅绝缘层的结构示意图；

[0065] 图5G是本发明实施例提供的一种在衬底基板上形成第二缓冲层、第一半导体层、发光层以及第二半导体层的结构示意图；

[0066] 图5H是本发明实施例提供的一种在衬底基板上形成栅极的结构示意图；

[0067] 图5I是本发明实施例提供的一种在衬底基板上的钝化层中形成第一接触过孔的结构示意图；

[0068] 图6A是本发明实施例提供的又一种阵列基板的制造方法的流程图；

[0069] 图6B是本发明实施例提供的再一种阵列基板的制造方法的流程图。

### 具体实施方式

[0070] 为使本发明的目的、技术方案和优点更加清楚，下面将结合附图对本发明实施方式作进一步地详细描述。

[0071] 图1是本发明实施例提供的一种阵列基板的结构示意图，参考图1，该阵列基板可以包括阵列排布的多个像素，其中每个像素可以包括：

[0072] 设置在衬底基板00上的薄膜晶体管10和微型LED 20。

[0073] 该微型LED 20可以包括层叠设置的第一电极21、第一缓冲层22、发光层23和第二电极24，且该第一缓冲层22可以与该薄膜晶体管10的有源层11同层设置。

[0074] 该薄膜晶体管10的栅极12与栅线连接，该薄膜晶体管10的第一极13与数据线连接，该薄膜晶体管10的第二极14与该第一电极21或该第二电极24连接，该第一电极21和第二电极24中未与第二极14连接的电极可以作为公共电极与公共电极线连接。其中，微型LED 20中与薄膜晶体管10的第二极14连接的电极可以称为阳极，与该公共电极线连接的电极可以称为阴极。

[0075] 例如，在图1所示的结构中，该薄膜晶体管10的第二极14与第二电极24连接，相应的，该第一电极21可以与公共电极线连接。该薄膜晶体管10用于驱动该微型LED 20发光。

[0076] 其中，该薄膜晶体管10的第一极13可以为源极，第二极14可以为漏极；或者，第一极13可以为漏极，第二极14可以为源极。该第一电极21可以为N型电极，第二电极24可以为P型电极。并且，该阵列基板中的各个像素的微型LED可以共用阳极，即各个像素的微型LED的阳极可以为同一个电极。

[0077] 该微型LED中的发光层可以由III-V族化合物（包括二元化合物、三元化合物或四元化合物等）材料形成，III-V族化合物是指由元素周期表中III族元素与V族元素形成的化合物，该III族元素包括硼（B）、铝（Al）、镓（Ga）和铟（In）等，V族元素包括氮（N）、磷（P）、砷（As）和锑（Sb）等。该III-V族化合物一般包括镓化砷（GaAs）、磷化铟（InP）和氮化镓（GaN）等。该III-V族化合物材料形成的半导体发光层具有更高的发光效率，更好的稳定性和更长的寿命。

[0078] 需要说明的是，在本发明实施例中，与该公共电极线连接的电极的电压可以与传统显示装置的公共电极电压不同。本发明实施例中，与该公共电极线连接的电极上可以施加适用于微型LED发光显示的阴极电压；例如传统显示装置中的公共电极电压可以是0伏特

(V), 或者0V附近, 例如-5V至5V之间; 而在本发明实施例的阵列基板中, 与该公共电极线连接的电极施加的电压可以不局限于上述范围, 根据微型LED的工作需求(发光亮度需求或发光效率需求), 与该公共电极线连接的电极所施加的阴极电压的范围在-20V至20V之间, 通常不为0V。

[0079] 综上所述, 本发明实施例提供的阵列基板中, 衬底基板上设置有薄膜晶体管和微型LED, 且该微型LED的第一缓冲层可以与薄膜晶体管的有源层同层设置, 即该微型LED可以在形成薄膜晶体管的过程中同步形成, 简化了阵列基板及显示装置的制造工艺, 降低了显示装置的制造成本。

[0080] 可选的, 参考图2A, 该微型LED还可以包括: 设置在该发光层23与该第一缓冲层22之间的第一半导体层25, 以及设置在该发光层23和该第二电极24之间的第二半导体层26。

[0081] 其中, 该第一半导体层25和第二半导体层26中, 与阴极(即与公共电极线连接的电极)接触的半导体层可以为N型半导体层, 与阳极(即与第二极14连接的电极)接触的半导体层可以为P型半导体层。

[0082] 该N型半导体层可以由掺杂有IV族元素的III-V族化合物材料制成, 例如可以由掺杂有硅(Si)原子的GaN材料制成。该P型半导体层可以由掺杂有II族元素的III-V族化合物材料制成, 例如可以由掺杂有镁(Mg)原子的GaN材料制成。

[0083] 可选的, 继续参考图2A, 该微型LED还可以包括: 设置在该第一半导体层25和该第一缓冲层22之间的第二缓冲层27。

[0084] 其中, 该第一缓冲层22和该有源层11可以由同种材料制成, 且该第一缓冲层22中掺杂有离子, 例如可以掺杂有磷离子、硼离子或者砷离子。

[0085] 该第二缓冲层27与该第一缓冲层22由不同材料制成, 且该第二缓冲层27的材料与该第一缓冲层22的材料的晶格常数的差值小于预设阈值, 即该两个缓冲层的材料的晶体结构相同或类似, 以保证该第一缓冲层能够有利于第二缓冲层27的外延生长, 保证该第二缓冲层27的外延生长质量。

[0086] 示例的, 该有源层11和第一缓冲层22可以由石墨烯、氧化锌(ZnO)、硫化锌(ZnS)、碳化硅(SiC)或氮化铝(AlN)等材料制成; 该第二缓冲层27可以由氮化镓(GaN)、砷化镓(GaAs)、铝砷化镓(AlGaAs)、铝镓氮(AlGaN)或磷化铟(InP)等III-V族化合物材料制成。由于该石墨烯相对于非晶硅、氧化物和多晶硅等材料具有高达数十倍至数千倍的迁移率, 能够为薄膜晶体管提供更加稳定的阈值电压, 有利于保证阵列基板的使用寿命。

[0087] 作为本发明实施例一种可选的实现方式, 如图2A和图2B所示, 该薄膜晶体管10可以为顶栅结构, 该微型LED 20的第一电极21、该第一极13和该第二极14可以同层设置。

[0088] 参考图2A和图2B, 该有源层11可以设置在第一极13和第二极14远离该衬底基板00的一侧; 该薄膜晶体管10还可以包括: 设置在该有源层11远离该衬底基板00的一侧的栅绝缘层15; 该栅绝缘层15远离该衬底基板00的一侧设置有该栅极12。

[0089] 对于该顶栅结构的薄膜晶体管10, 一方面, 如图2A所示, 栅绝缘层15中形成有能够将第二极14漏出的第一接触过孔(图2A中未标注), 该第二极14可以通过该第一接触过孔与该第二电极24连接, 相应的, 该第一电极21可以作为公共电极, 与公共电极线连接。此外, 如图2A所示, 若该薄膜晶体管10的第二极14远离衬底基板00的一侧还设置有钝化层02, 则该第一接触过孔还应贯穿该钝化层02。

[0090] 另一方面,如图2B所示,该薄膜晶体管10的第二极14与该第一电极可以为通过一次构图工艺形成的一体结构,即该第一结构中与该有源层14接触的部分可以构成该薄膜晶体管10的第二极14,该一体结构中与该第一缓冲层22接触的部分构成该微型LED 20的第一电极21。相应的,该第二电极24可以作为公共电极,与公共电极线连接。

[0091] 作为本发明实施例一种可选的实现方式,如图3A和图3B所示,该薄膜晶体管10可以为底栅结构,该微型LED 20的第一电极21与该薄膜晶体管10的栅极12可以同层且间隔设置。其中,间隔设置可以是指该第一电极21与该栅极12之间无连接,两者相互绝缘。

[0092] 参考图3A和图3B,该薄膜晶体管10还可以包括:设置在该有源层11靠近衬底基板00的一侧的栅绝缘层15,该栅绝缘层15靠近衬底基板00的一侧设置有栅极12;该薄膜晶体管10的第一极13和第二极14可以设置栅绝缘层15远离衬底基板00的一侧,且均与该有源层11接触。

[0093] 对于该底栅结构的薄膜晶体管10,一方面,如图3A所示,该薄膜晶体管10的第二极14远离衬底基板00的一侧可以设置有钝化层02,该钝化层02中设置有第二接触过孔(图3A中未标注),该第二极14可以通过该钝化层02中的第二接触过孔与该第二电极24连接。相应的,该第一电极21与公共电极线连接。

[0094] 另一方面,如图3B所示,该薄膜晶体管10还可以包括:设置在有源层11远离衬底基板00的一侧的保护层16,薄膜晶体管10的第一极13和第二极14设置在该保护层16远离衬底基板00的一侧。

[0095] 并且,该第一极13通过第一过孔(图3B中未标注)与有源层11连接,第二极14通过第二过孔(图3B中未标注)与有源层11连接,且该第二极14还通过第三接触过孔(图3B中未标注)与该第一电极21连接;相应的,该第二电极24与公共电极线连接。

[0096] 此外,为了便于实现薄膜晶体管的第二极14与第一电极21的连接,如图3B所示,该第一电极21的一部分可以凸出于该微型LED 20中的其他各个膜层,该第二极14可以与该第一电极21中凸出的部分接触,从而实现电连接。

[0097] 综上所述,本发明实施例提供的阵列基板中,衬底基板上设置有薄膜晶体管和微型LED,且该微型LED的第一缓冲层可以与薄膜晶体管的有源层同层设置,即该微型LED可以在形成薄膜晶体管的过程中同步形成,简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。

[0098] 图4是本发明实施例提供的一种阵列基板的制造方法,该方法可以用于制造图1至图3B所示的阵列基板,参考图4,该方法可以包括:

[0099] 步骤101、在衬底基板上形成薄膜晶体管和微型发光二极管LED,该微型LED包括层叠设置的第一电极、第一电极、第一缓冲层、发光层和第二电极,该第一缓冲层与该薄膜晶体管的有源层同层形成。

[0100] 其中,该薄膜晶体管的栅极与栅线连接,该薄膜晶体管的第一极与数据线连接,该薄膜晶体管的第二极与该第一电极或该第二电极连接。

[0101] 综上所述,本发明实施例提供了一种阵列基板的制造方法,该阵列基板的衬底基板上形成有薄膜晶体管和微型LED,且该微型LED的缓冲层与薄膜晶体管的有源层同层形成,由于可以在制造过程中同步形成薄膜晶体管以及微型LED,从而有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。并且相比于相关技术中的转印工艺,本

发明实施例提供的制造方法的工艺时间较短,良率较高。

[0102] 可选的,上述步骤101中,在衬底基板上形成微型LED的过程可以包括:

[0103] 在该衬底基板上依次形成第一电极、第一缓冲层、第一半导体层、发光层、第二半导体层以及第二电极。

[0104] 其中,在形成第一半导体层之前,该方法还可以包括:

[0105] 在该第一缓冲层远离该衬底基板的一侧形成第二缓冲层。

[0106] 相应的,该第一半导体层即可形成在该第二缓冲层远离该衬底基板的一侧。其中,该第一缓冲层和该有源层由同种材料形成,且该第一缓冲层中掺杂有离子;该第二缓冲层与该第一缓冲层由不同材料形成,且形成该第二缓冲层的材料与形成该第一缓冲层的材料的晶格常数的差值小于预设阈值,即形成该两个缓冲层的材料的晶体结构相同或类似。

[0107] 示例的,该第一缓冲层可以由由石墨烯、ZnO、ZnS、SiC或AlN等材料制成;该第二缓冲层可以由GaN、GaAs、AlGaAs、AlGaN或InP等材料制成。

[0108] 在本发明实施例一种可选的实现方式中,该阵列基板中形成的薄膜晶体管可以为顶栅结构,该微型LED的第一电极、该第一极和该第二极通过一次构图工艺同层形成。以图2A所示的顶栅结构的薄膜晶体管为例,详细介绍本发明实施例提供的阵列基板的制造方法,参考图5A,该方法可以包括:

[0109] 步骤1011a、在衬底基板上形成薄膜晶体管的第一极和第二极,以及微型LED的第一电极。

[0110] 其中,该衬底基板可以为玻璃基板;该薄膜晶体管的第一极、第二极和该微型LED的第一电极可以间隔设置。并且,该第一电极可以位于阵列基板的像素区域,该像素区域为用于设置微型LED的区域,也即是该阵列基板的有效显示区域。该第一极和第二极则位于阵列基板的非像素区域(即非显示区域)。

[0111] 示例的,如图5B所示,可以先在玻璃基板00上通过磁控溅射的方式沉积一层厚度为200纳米(nm)至500nm的金属薄膜200。其中,形成该金属薄膜200的材料可以为铜(Cu)或者铜合金。并且,可以采用直流磁控溅射或者交流磁控溅射的方式进行镀膜。在开始溅射镀膜前,需要先在纯度为99.99%的Ar气产生的等离子体中清洗靶材2分钟(min)。在环境温度下,当工作气压为2.7帕(Pa),Ar气的流量为标准状况下36毫升每分钟(mL/min)时,可以将溅射功率调整为100瓦特(W)以制备该金属薄膜,例如铜薄膜。该铜薄膜的织构随溅射气压P和镀距D的增加先升高而后下降。在溅射气压为0.5Pa,镀距为200毫米(mm)时,溅射得到的铜薄膜具有最强的织构,且晶粒细小,薄膜致密度和平整度高。

[0112] 此外,还可以使用电镀工艺形成金属薄膜。例如,在形成铜薄膜时所采用的电镀铜溶液可以包括:铜盐:120克每升(g/L)至300g/L;酸:10g/L至200g/L;氯离子:30g/L至80mg/L;含硫化合物:0.001g/L至0.3g/L;聚氧醚类化合物:0.5g/L至10g/L;聚乙二醇:0.05g/L至5g/L;季铵盐:0.001g/L至0.2g/L。电镀方法的工艺参数可以为:镀液温度为10摄氏度(°C)至50°C,电流密度为0.2安培每平方分米(A/dm<sup>2</sup>)至20A/dm<sup>2</sup>。

[0113] 进一步的,可以采用一次光刻工艺在该金属薄膜的表面形成图形化的光刻胶掩膜,并对未被该光刻胶掩膜覆盖的金属薄膜进行刻蚀,从而得到间隔设置的薄膜晶体管的第一极13、薄膜晶体管的第二极14以及微型LED的第一电极21。例如,可以采用氯化铁(FeCl<sub>3</sub>)腐蚀液在50°C的温度下对金属薄膜200进行刻蚀。步骤1011a结束之后所形成的阵

列基板的结构示意图可以参考图5C。

[0114] 步骤1012a、在衬底基板上间隔形成有源层和第一缓冲层,该有源层分别与该第一极和该第二极接触。

[0115] 其中,有源层位于薄膜晶体管的有源区,且与该第一极和该第二极接触;该第一缓冲层位于像素区域,且覆盖在该第一电极远离衬底基板的一侧。形成该有源层和第一缓冲层的材料可以为石墨烯、ZnO、ZnS、SiC或AlN等,且该第一缓冲层中还掺杂有离子,例如可以掺杂有N<sup>+</sup>离子,该N<sup>+</sup>离子可以为磷离子、硼离子或者砷离子。

[0116] 示例的,以该金属薄膜为铜薄膜,形成该有源层和第一缓冲层的材料为石墨烯为例,介绍该有源层和第一缓冲层的制造工艺。首先,可以先将形成有第一极、第二极和第一电极的衬底基板在丙酮和去离子水中分别超声清洗15min,以除去铜薄膜表面的油污等污染物;然后即可将衬底基板置于反应室中的恒温区进行石墨烯生长。

[0117] 该石墨烯的生长过程如下:第一步,将反应室内抽至真空后填充氧气,如此反复操作三次左右,使反应室内空气被排出,反应室内为氧气氛围填充。第二步,在流量为300标准毫升/分钟(sccm)的氧气气氛中,将反应室的温度升温直至500℃,然后再保持恒温20min,以高温退火处理还原铜薄膜表面的氧化物;随后即可将反应室的温度调至生长所需的温度,氧气的流量也调至生长所需的流量,并同时通入80sccm的氩气,继续保持恒温20min。第三步,保持其它气体的流量不变,并通入7sccm的甲烷,石墨烯开始生长。其中,甲烷的通入时间为15min。第四步,停止通入甲烷,同时将反应室的温度以10℃/min的降温速率开始冷却,直至室温。在该降温的过程中,氩气流量保持不变,氧气流量调小30sccm,避免氧气流量过大对合成的石墨烯薄膜的刻蚀作用。在该石墨烯的生成过程中,铜薄膜可以做为石墨烯生长的催化剂。

[0118] 石墨烯生长完成后,如图5D所示,该衬底基板00的表面即可整层覆盖一层石墨烯100。进一步的,可以采用一次光刻工艺在该石墨烯100的表面形成图形化的光刻胶掩膜,该光刻胶掩膜可以覆盖位于有源区的石墨烯,以及位于像素区的石墨烯。之后可以采用刻蚀工艺去除该石墨烯中未被光刻胶掩膜覆盖的部分,进而得到该有源层,以及位于像素区域的石墨烯膜层。其中,该刻蚀工艺可以为氢等离子体的干法刻蚀工艺,在刻蚀过程中,可以控制氢气流量为50sccm,衬底温度为300℃,等离子体功率为100W,刻蚀速率为5nm/min以内。

[0119] 最后,参考图5E,可以采用N<sup>+</sup>离子注入的方式在该石墨烯膜层中引入杂质,从而得到该第一缓冲层22。示例的,可以在20千电子伏特(keV)的吸极电压下,将剂量为 $8 \times 10^{15}/\text{cm}^2$ 的团簇N<sup>+</sup>离子注入石墨烯。之后,注入的样品在氨气氛围下快速热退火,例如可以在450℃的温度下退火50min,真空度维持在0.1Pa。当退火炉的温度自然冷却至200℃(冷却速率为58℃/min至8℃/min)时,即可将衬底基板拉出到空气中。

[0120] 步骤1014a、在该有源层远离该衬底基板的一侧形成栅绝缘层。

[0121] 进一步的,可以在形成有该有源层和第一缓冲层的衬底基板的表面沉积一层栅绝缘薄膜层;然后通过光刻工艺去除位于第一缓冲层表面的栅绝缘薄膜层,从而得到该栅绝缘层。示例的,参考图5F,该栅绝缘层15未覆盖在第一缓冲层22的表面。

[0122] 其中,该栅绝缘薄膜层可以由硅的氧化物(SiO<sub>x</sub>)、硅的氮化物(SiN<sub>x</sub>)、铪的氧化物(HfO<sub>x</sub>)、硅的氮氧化物(SiON)和铝的氧化物(AlO<sub>x</sub>)等中的任一种材料形成的单层膜,或

者是由上述材料中的多种材料形成的多层复合膜。例如,在本发明实施例中,该栅绝缘膜层可以是由厚度为30nm至100nm的二氧化硅(SiO<sub>2</sub>),以及厚度为20nm至100nm的氮化硅(SiN)组成的双层薄膜。并且,其中SiO<sub>2</sub>薄膜位于顶层,SiN薄膜位于底层,即该SiO<sub>2</sub>薄膜形成在SiN薄膜远离衬底基板的一侧。

[0123] 步骤1015a、在该第一缓冲层远离该衬底基板的一侧依次形成第二缓冲层、第一半导体层、发光层以及第二半导体层。

[0124] 在本发明实施例中,可以采用金属有机化学气相沉积(Metal-organic Chemical Vapor Deposition,MOCVD)法在第一缓冲层的表面沉积一层GaN薄膜作为第二缓冲层,然后再依次形成第一半导体层、发光层以及第二半导体层。其中,该第二缓冲层可以提高后续形成的半导体层的外延晶格质量。该第一半导体层可以为N型半导体层,该第二半导体层可以为P型半导体层。根据微型LED的发光颜色可以选择氮化镓(InGaN)、磷化铝镓(InAlGaP)、磷化镓(GaP)、磷化砷镓(GaAsP)或砷化铝镓(AlGaAs)等材料形成发光层,该发光层也可以称为量子阱。

[0125] 示例的,在形成该缓冲层的过程中,为了去除衬底基板中第一缓冲层表面粘附的油污等杂质,可以先采用无水乙醇对形成有该衬底基板进行多次冲洗,然后再将该衬底基板依次放入丙酮、无水乙醇和去离子水中分别用超声波清洗10分钟,之后再用去离子水反复冲洗干净,最后用高纯氮气(N<sub>2</sub>)吹干。

[0126] 在采用MOCVD沉积第二缓冲层时,可以采用三甲基镓(TMGa)作为镓源,将TMGa的鼓泡器放置在冷阱中,使其温度维持在-12.6摄氏度,并以H<sub>2</sub>作为载气,以纯度为5N(即99.999%)的高纯N<sub>2</sub>为氮源,在形成有栅绝缘层的衬底基板上进行低温沉积(沉积温度小于500摄氏度)。微波源功率固定在650W,GaN薄膜的沉积过程中,本底真空度优于 $5.0 \times 10^{-4}$ Pa,沉积时间为30min。在300摄氏度的环境中沉积厚度约为20nm的GaN低温缓冲层时,沉积条件为TMGa和氮气的流量分别为0.4sccm和80sccm,沉积时间为5min。GaN薄膜的沉积过程中,将衬底温度升高到430摄氏度,TMGa与氮气的流量也分别为0.4sccm和80sccm,沉积时间增加到30min。

[0127] 需要说明的是,除了可以采用GaN形成第二缓冲层之外,还可以采用GaAs或InP等材料形成该第二缓冲层。由于用于形成第一缓冲层的材料石墨烯与GaAs和GaN等材料的晶体结构相同,有利于外延生长,虽然晶格常数和热膨胀系数不匹配于需要外延生长的III-V半导体材料,但是其成本较低,且透光率可达90%,适合于激光加热工艺。

[0128] 进一步的,参考图5G,可以采用MOCVD工艺在该第二缓冲层27的表面依次形成第一半导体层25、发光层23以及第二半导体层26。具体的,在制造过程中,可以先将衬底基板加热至600摄氏度左右的高温,并向反应室同时引入TMGa和氨(NH<sub>3</sub>)前驱物,从而在该第二缓冲层27的表面依次形成N型的GaN半导体层25、InGaN或GaN量子阱23以及P型GaN半导体层26。

[0129] 可选的,可以使用原位的沉积态掺杂技术形成该第一半导体层25以及第二半导体层26。该形成过程可以包括:在反应室通入TMGa和NH<sub>3</sub>的同时加入硅烷(SiH<sub>4</sub>)、乙硅烷(Si<sub>2</sub>H<sub>6</sub>)、二甲基硅烷(SiCH<sub>3</sub>)或二氯二氢硅(SiH<sub>2</sub>Cl<sub>2</sub>)等硅前驱物,使得该GaN中掺入 $10^{17}$ 至 $10^{20}$ cm<sup>-3</sup>的Si(即在每立方厘米的GaN中掺入 $10^{17}$ 至 $10^{20}$ 个Si原子),从而沉积形成N型GaN半导体层25;之后在反应室加入镁的有机先驱物例如二茂镁(Cp<sub>2</sub>Mg),使得GaN中掺入 $10^{17}$ 至

$10^{20}\text{cm}^{-3}$ 的Mg,从而形成P型GaN半导体层26。在形成该N型半导体层25和P型半导体层26之间,可以通过MOCVD工艺连续交替沉积纳米厚度的宽禁带材料和窄禁带半导体材料,例如交替沉积宽禁带材料铝镓氮(AlGaN)和窄禁带材料GaN,从而形成多种单量子阱或多量子阱结构,该量子阱材料中的宽禁带材料与窄禁带材料的晶格常数相匹配,且能带相匹配(两种材料的能带差异保持在一定范围(例如1eV)以内),从而能够调制发射波长,量子阱结构也具有复合效率高和界面复合率低的优点。

[0130] 在本发明实施例中,该第二缓冲层27的厚度可以在0.1至5微米之间,第一半导体层25和第二半导体层26的厚度可以在0.1至0.5微米之间,量子阱23的厚度在0.1至0.5微米之间。

[0131] 此外,需要说明的是,在形成该第二缓冲层、第一半导体层、发光层以及第二半导体层时,可以先在衬底基板的表面形成整层覆盖的第二缓冲层、第一半导体层、发光层以及第二半导体层,然后再通过一次光刻工艺,将上述膜层中位于非显示区域的部分去除,仅保留位于像素区域的部分膜层。

[0132] 步骤1016a、在该栅绝缘层远离该衬底基板的一侧形成栅极。

[0133] 进一步的,可以在该栅绝缘层的表面沉积一层金属薄膜,然后通过一次构图工艺对该金属薄膜进行处理,从而得到该薄膜晶体管的栅极。

[0134] 示例的,可以采用磁控溅射的方式在衬底基板的表面沉积一层厚度为200至500nm的金属薄膜,该金属薄膜可以是由钼(Mo)、钼铌合金(MoNb)、Al、铝钕合金(AlNd)、钛(Ti)和铜(Cu)中的一种材料形成的膜层,或者可以是由上述材料中的多种材料形成的单层或多层复合叠层。例如,可以在衬底基板表面形成Mo膜层或Al膜层,或者,形成含有Mo和Al的合金组成的单层膜层或多层复合膜层。之后,可以采用一次光刻工艺在衬底基板的表面形成图形化的光刻胶掩膜,定义出薄膜晶体管的栅极区域。最后可以对该金属薄膜上未被光刻胶掩膜覆盖的区域进行刻蚀,则如图5H所示,可以得到薄膜晶体管的栅极12。

[0135] 步骤1017a、在该栅极离该衬底基板的一侧形成钝化层。

[0136] 如图5I所示,可以在该栅极12远离衬底基板00的一侧形成钝化层02。其中,该钝化层02可以为SiNx层,或者可以由SiOx层与SiNx层堆叠组成。

[0137] 步骤1018a、在该衬底基板上形成贯穿该钝化层和该栅绝缘层的第一接触过孔,以将该薄膜晶体管的第二极露出。

[0138] 继续参考图5I,可以采用一次光刻工艺对该钝化层02和栅绝缘层15进行处理,以在该钝化层02和栅绝缘层15中形成第一接触过孔021,该第一接触过孔021可以将薄膜晶体管10的第二极14的接触区漏出。

[0139] 需要说明的是,上述步骤1017a中形成的钝化层可以整层覆盖在衬底基板00的表面,在步骤1018a中形成该第一接触过孔的过程中,还可以同步将该钝化层中覆盖在第二半导体层26上方的部分去除,从而使得该钝化层02仅形成在非显示区域。

[0140] 步骤1019a、在该第二半导体层远离衬底基板的一侧形成第二电极,该第二电极通过该第一接触过孔与该薄膜晶体管的第二极连接。

[0141] 最后,可以先在该钝化层以及第二半导体层的表面沉积金属薄膜,然后采用一道光刻工艺对该金属薄膜进行图形化处理,形成微型LED的第二电极,该第二电极可以通过该第一接触过孔021与薄膜晶体管10的第二极14接触,从而实现第二电极与第二极的连接。最

终形成的阵列基板的结构示意图可以参考图2A。

[0142] 上述步骤中的金属薄膜可以由Cu、Al、Mo、Ti、铬(Cr)或钨(W)等金属材料中的任一种金属材料形成,或者,该金属薄膜也可以是由多种金属材料组成的多层金属薄膜结构,例如,该金属薄膜可以为三层金属薄膜,形成该三层金属薄膜的金属材料可以为Mo、Al和Mo,或者Ti、Al和Ti,或者Ti、Cu、Ti,或者Mo、Cu和Ti。

[0143] 作为另一种可选的实现方式,上述步骤1011a中形成的第一电极与该第二极可以为一体结构,相应的,上述步骤1018a可以删除,且上述步骤1019a中,第二电极可以仅形成在第二半导体层的表面,且该第二电极与公共电极线连接。

[0144] 在本发明实施例另一种可选的实现方式中,该阵列基板中的薄膜晶体管也可以为底栅结构,在该结构中,微型LED的第一电极与该薄膜晶体管的栅极可以通过一次构图工艺同层且间隔形成。

[0145] 对于该底栅结构的薄膜晶体管,一方面,参考图6A,该阵列基板的制造方法可以包括:

[0146] 步骤1011b、在衬底基板上间隔形成薄膜晶体管的栅极以及微型LED的第一电极。

[0147] 步骤1012b、在栅极远离该衬底基板的一侧形成栅绝缘层。

[0148] 该栅绝缘层未覆盖在第一电极的表面。

[0149] 步骤1013b、通过一次构图工艺,在栅绝缘层远离该衬底基板的一侧形成该有源层,并在该第一电极远离衬底基板的一侧形成第一缓冲层。

[0150] 步骤1014b、在该第一缓冲层远离衬底基板的一侧依次形成第二缓冲层、第一半导体层、发光层和第二半导体层。

[0151] 步骤1015b、在栅绝缘层远离该衬底基板的一侧形成分别与该有源层接触的第一极和第二极。

[0152] 步骤1016b、在该第一极和该第二极远离该衬底基板的一侧形成钝化层。

[0153] 步骤1017b、在该衬底基板上形成贯穿该钝化层的第二接触过孔,以将该薄膜晶体管的第二极露出。

[0154] 步骤1018b、在该第二半导体层远离衬底基板的一侧形成该微型LED的第二电极,该第二电极通过该第二接触过孔与该薄膜晶体管的第二极连接。

[0155] 相应的,该第一电极可以与公共电极线连接。该最终形成的阵列基板的结构可以如图3A所示。

[0156] 上述步骤1011b至步骤1018b的具体实现过程可以参考图5A所示实施例中的对应步骤,此处不再赘述。

[0157] 对于该底栅结构的薄膜晶体管,另一方面,参考图6B,该阵列基板的制造方法可以包括:

[0158] 步骤1011c、在衬底基板上间隔形成薄膜晶体管的栅极以及微型LED的第一电极。

[0159] 步骤1012c、在栅极远离该衬底基板的一侧形成栅绝缘层。

[0160] 该栅绝缘层未覆盖在第一电极的表面。

[0161] 步骤1013c、通过一次构图工艺,在栅绝缘层远离该衬底基板的一侧形成该有源层,并在该第一电极远离衬底基板的一侧形成第一缓冲层。

[0162] 步骤1014c、在该第一缓冲层远离衬底基板的一侧依次形成第二缓冲层、第一半导

体层、发光层和第二半导体层。

[0163] 步骤1015c、在有源层远离衬底基板的一侧形成保护层。

[0164] 步骤1016c、在该保护层中形成用于露出该有源层的第一过孔和第二过孔,以及用于露出该第一电极的第三接触过孔。

[0165] 步骤1017c、在该保护层远离该衬底基板的一侧形成薄膜晶体管的第一极和第二极,该第一极通过该第一过孔与该有源层连接,该第二极通过该第二过孔与该有源层连接,且该第二极还通过该第三接触过孔与该第一电极连接。

[0166] 步骤1018c、在该第一极和该第二极远离该衬底基板的一侧形成钝化层。

[0167] 步骤1019c、在该第二半导体层远离衬底基板的一侧形成该微型LED的第二电极,该第二电极与该公共电极线连接。

[0168] 上述步骤1011c至步骤1019c的具体实现过程可以参考图5A所示实施例中的对应步骤,此处不再赘述。

[0169] 需要说明的是,本发明实施例提供的阵列基板的制造方法的步骤的先后顺序可以进行适当调整,步骤也可以根据情况进行相应增减,例如步骤1014a也可以在步骤1015a之后执行。任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化的方法,都应涵盖在本发明的保护范围之内,因此不再赘述。

[0170] 综上所述,本发明实施例提供了一种阵列基板的制造方法,该阵列基板的衬底基板上形成有薄膜晶体管和微型LED,且该微型LED的缓冲层与薄膜晶体管的有源层同层形成,由于可以在制造过程中同步形成薄膜晶体管以及微型LED,从而有效简化了阵列基板及显示装置的制造工艺,降低了显示装置的制造成本。并且相比于相关技术中的转印工艺,本发明实施例提供的制造方法的工艺时间较短,良率较高。

[0171] 本发明实施例提供了一种显示装置,该显示装置可以包括:如图1至图3B任一所示的阵列基板。该显示装置可以为:液晶面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0172] 以上所述仅为本申请的较佳实施例,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

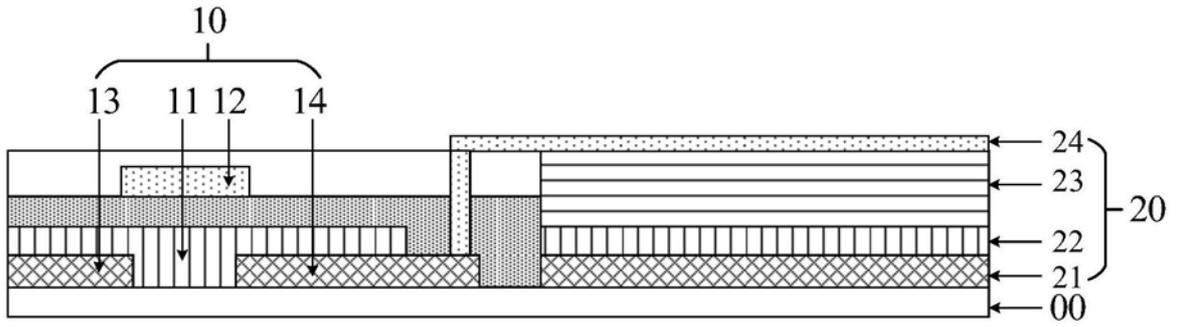


图1

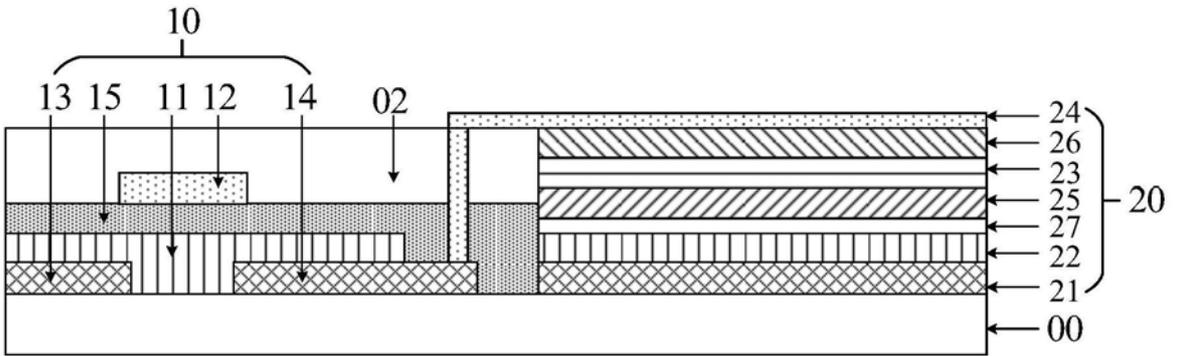


图2A

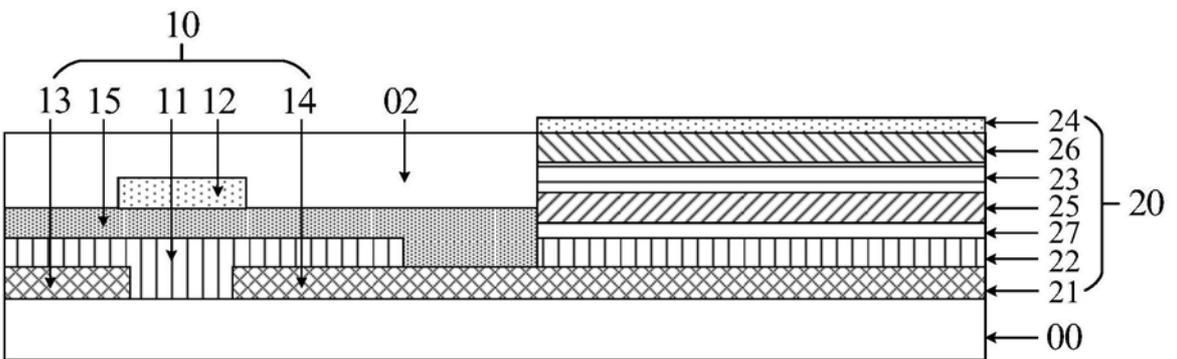


图2B

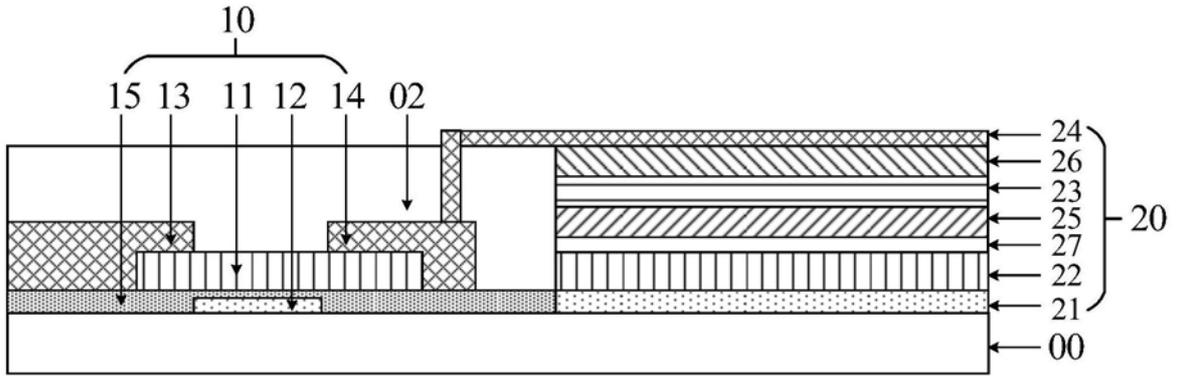


图3A

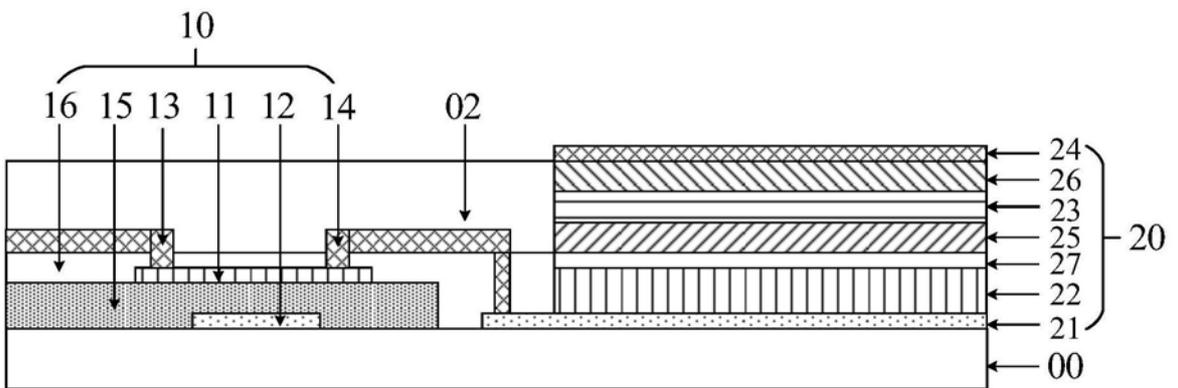


图3B

在衬底基板上形成薄膜晶体管 and 微型发光二极管LED，该微型LED包括层叠设置的第一电极、第一电极、第一缓冲层、发光层和第二电极，该第一缓冲层与该薄膜晶体管的有源层同层形成

图4

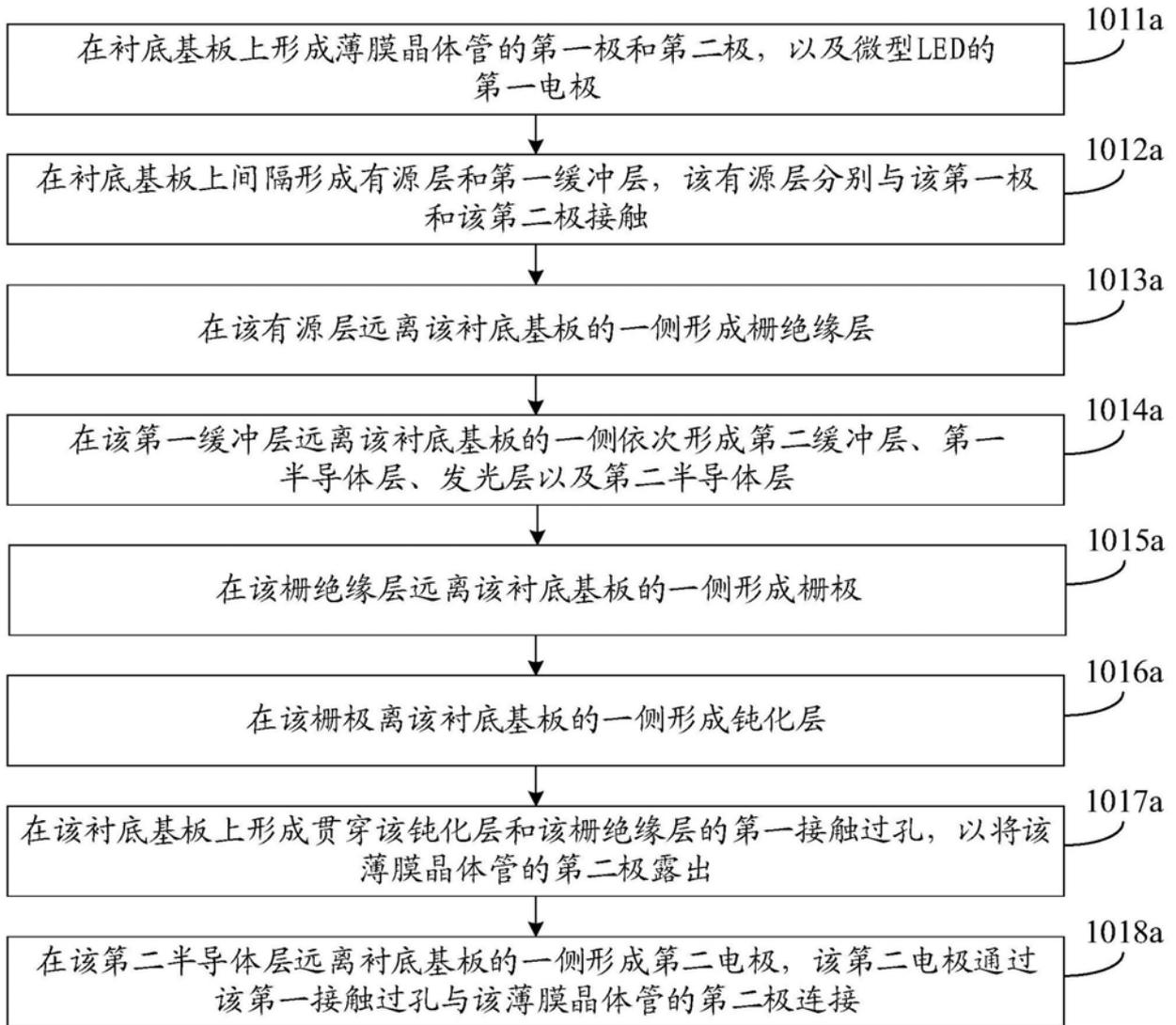


图5A

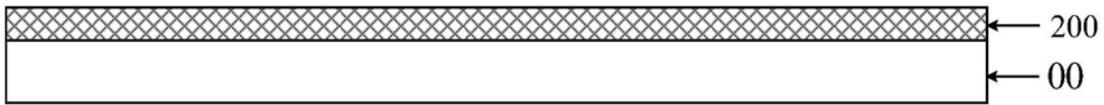


图5B

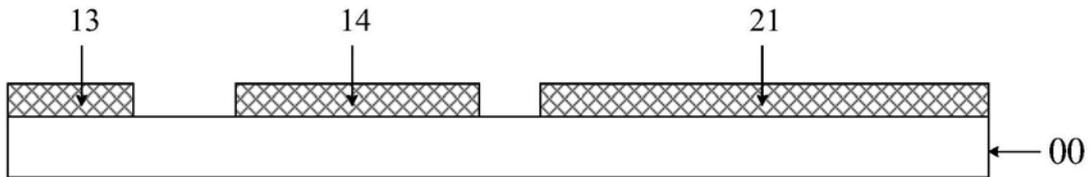


图5C

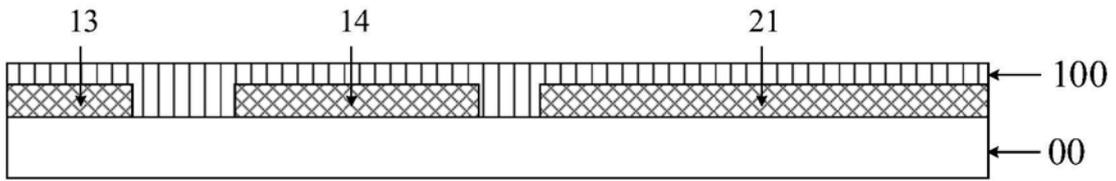


图5D

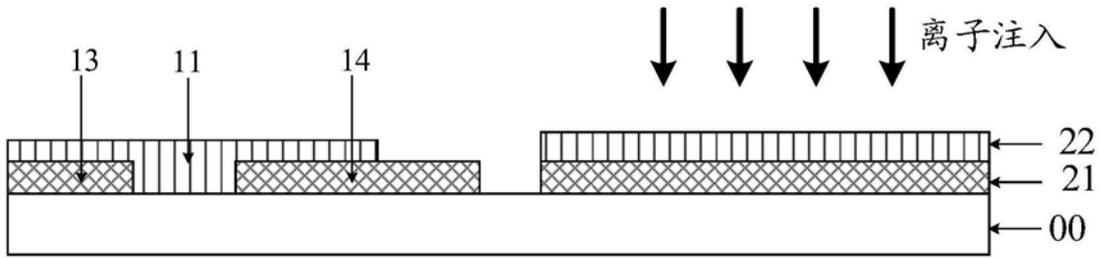


图5E

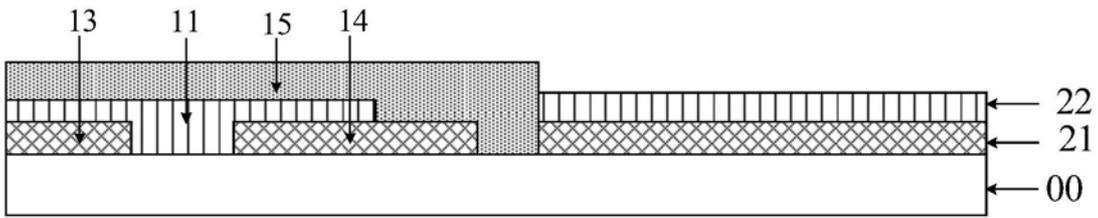


图5F

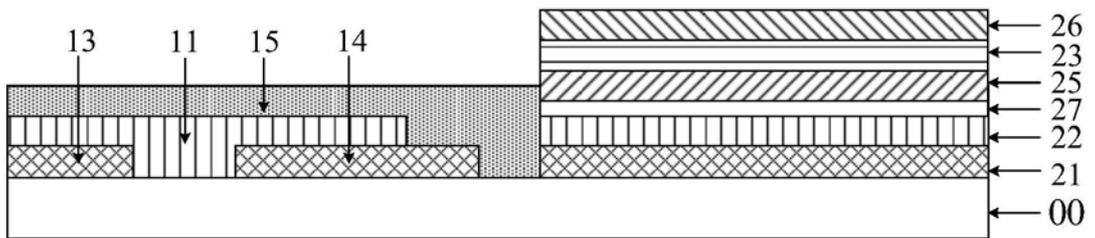


图5G

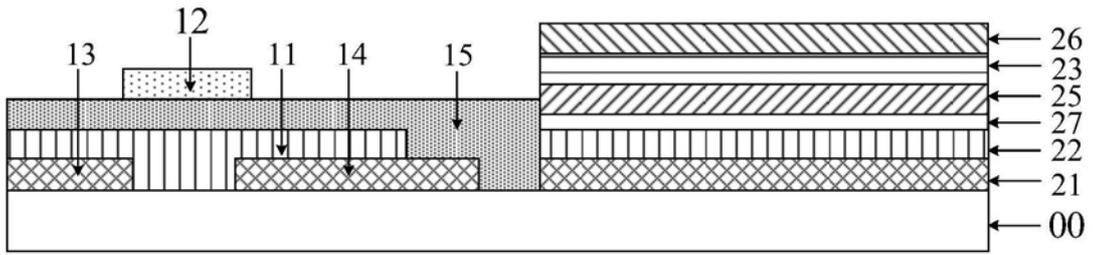


图5H

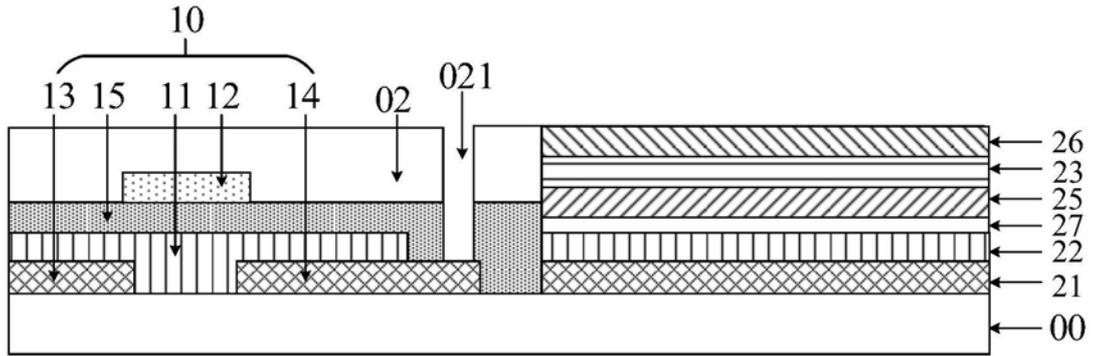


图5I

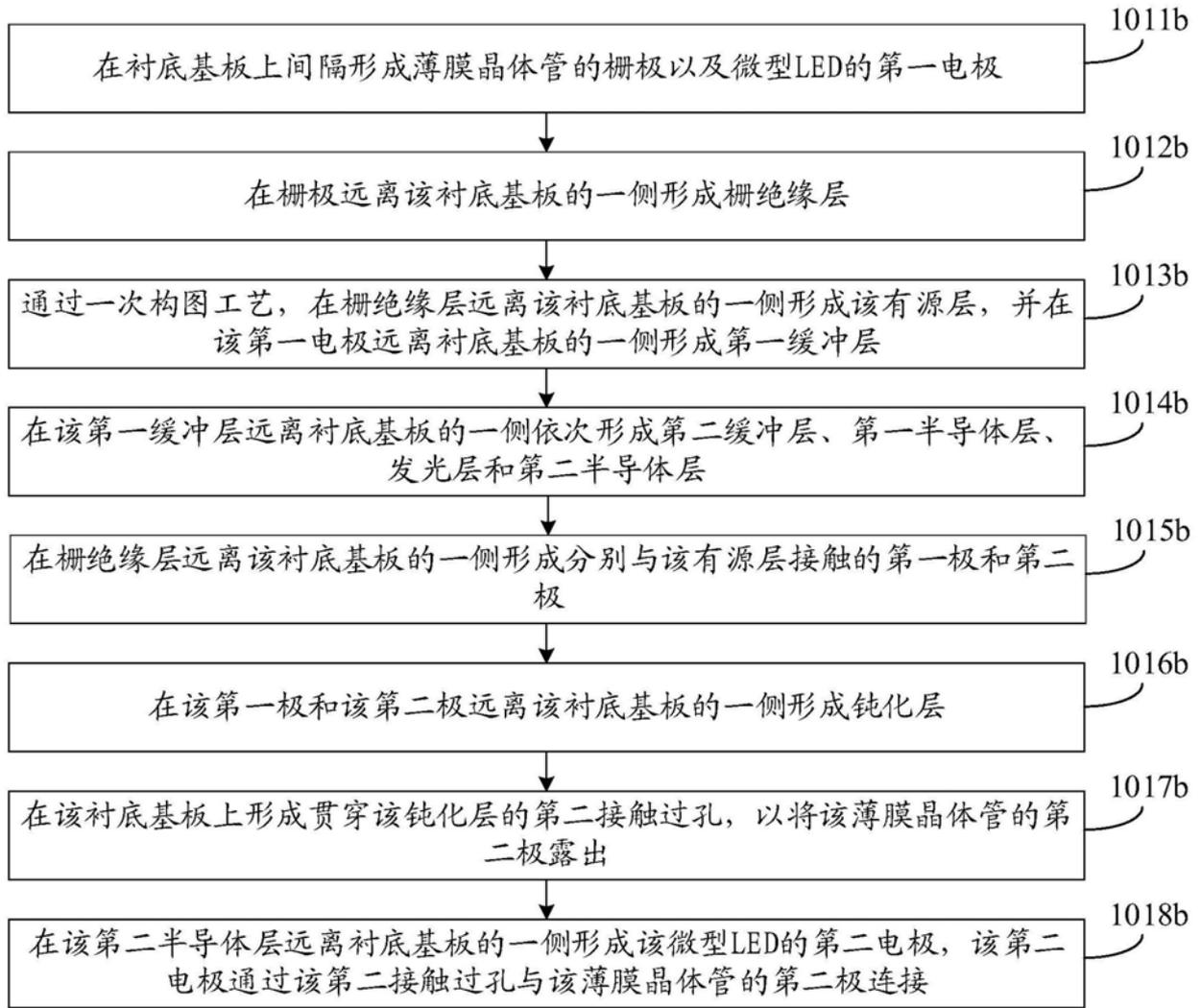


图6A

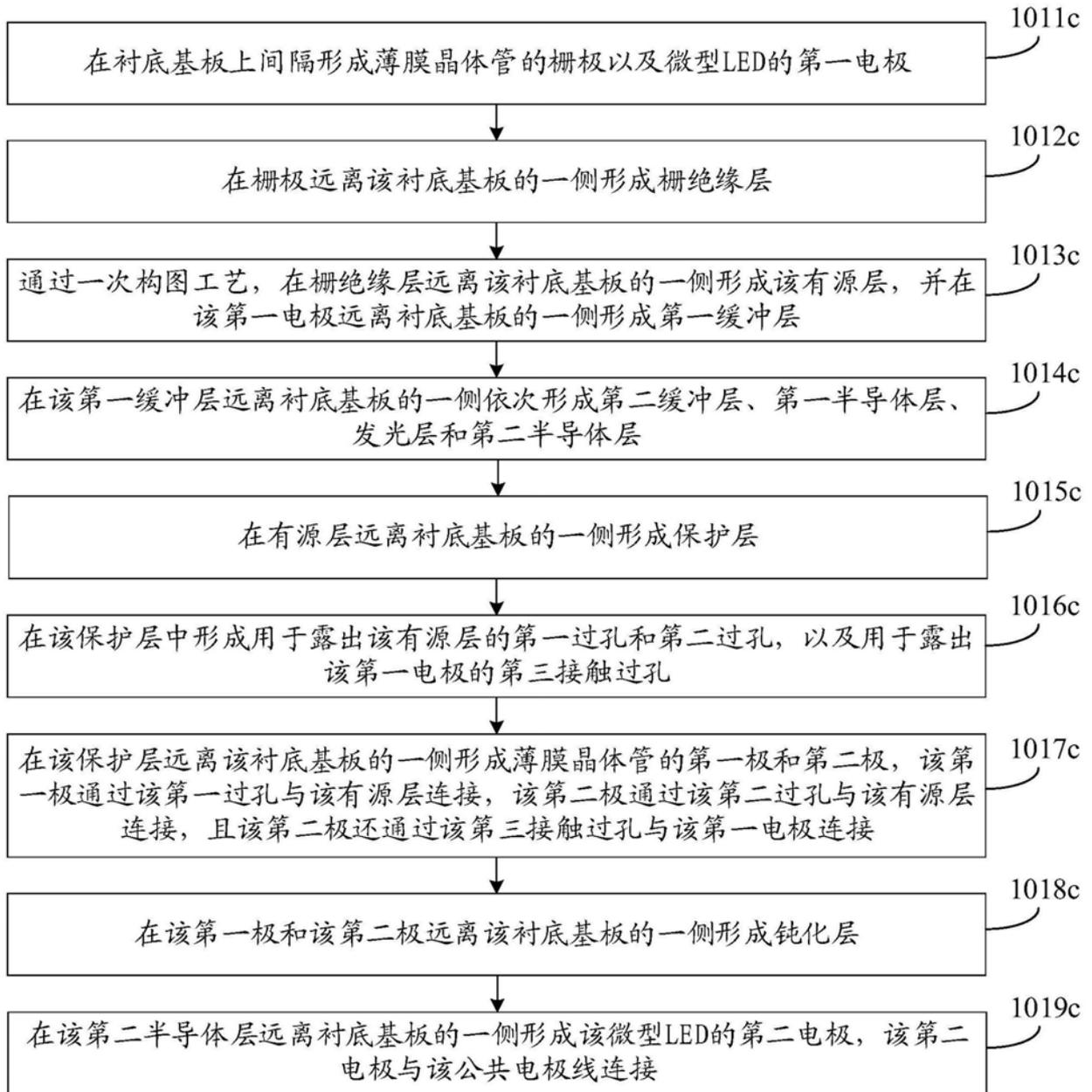


图6B